

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-328104

(43)公開日 平成11年(1999)11月30日

(51) Int.Cl.⁶
G 0 6 F 13/36
1/18
3/00
15/163
15/16

識別記号
5 3 0

F I
G 0 6 F 13/36
3/00
1/00
15/16
4 0 0 M

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21)出願番号 特願平10-130882

(22)出願日 平成10年(1998)5月13日

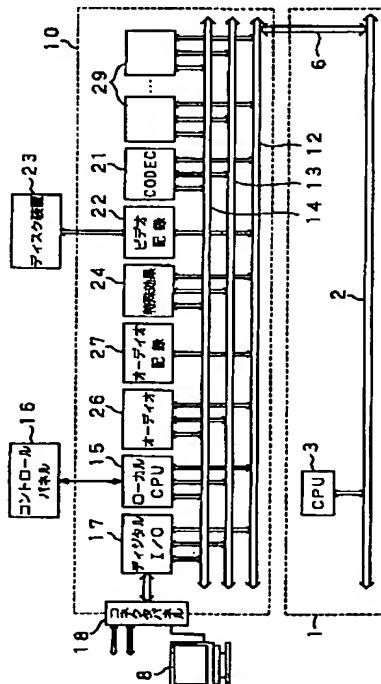
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 中松 彰
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(72)発明者 阿部 隆夫
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(72)発明者 中村 伸夫
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 ディジタル信号処理装置

(57)【要約】

【課題】 パーソナルコンピュータのような情報処理装置を拡張するための拡張処理装置に、各種拡張ボードを挿入実装するための拡張スロットを増設して、映像音声信号の実時間処理を可能にする。

【解決手段】 パーソナルコンピュータ等の情報処理装置1内のシステムバス2が、バス接続部6を介して、拡張処理装置10内の拡張されたシステムバス12に接続される。拡張処理装置10内のシステムバス12と平行に、映像音声信号専用のD A Vバス13と、ローカルC P Uバス14とが設けられる。拡張処理装置10内の各バス12, 13, 14を跨って設けられる拡張スロットには、ローカルC P U回路基板15、映像信号符号化/復号用のC O D E C回路基板21等が実装され、ローカルC P Uにより実時間処理の制御が行われる。



【特許請求の範囲】

【請求項1】 システムバスに演算手段が接続されて成る情報処理部と、
上記情報処理部の上記システムバスに接続され該システムバスを拡張するシステムバスと、該拡張されたシステムバスに設けられた複数の拡張スロットとを有する拡張処理部とを備え、
上記拡張処理部は、
上記拡張されたシステムバスに対して映像音声信号専用のバスとして設けられる信号専用バスと、
上記複数の拡張スロットに挿入実装される拡張回路基板の動作を制御するためのローカル制御手段と、
このローカル制御手段の制御信号を伝送するローカル制御バスとを有することを特徴とするデジタル信号処理装置。

【請求項2】 上記信号専用バス及びローカル制御バスは、上記拡張されたシステムバスに対して平行に設けられることを特徴とする請求項1記載のデジタル信号処理装置。

【請求項3】 上記信号専用バス及びローカル制御バスは、上記拡張されたシステムバスのバス基板とは別のバス基板上に設けられ、これらの2つのバス基板は段差をもって一部が重なるように配置されることを特徴とする請求項2記載のデジタル信号処理装置。

【請求項4】 上記情報処理部のシステムバスと上記拡張処理部のシステムバスとはバス接続基板を介して接続されることを特徴とする請求項2記載のデジタル信号処理装置。

【請求項5】 上記信号専用バスは、ビデオ信号線、ビデオ同期信号線、オーディオ信号線、オーディオ同期信号線を少なくとも有することを特徴とする請求項1記載のデジタル信号処理装置。

【請求項6】 上記信号専用バスのビデオ信号線は、複数チャネルのビデオ信号を並列に伝送することを特徴とする請求項1記載のデジタル信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタル映像信号やデジタル音声信号を処理するためのデジタル信号処理装置に関し、特に、演算手段が接続されたシステムバスを拡張する拡張処理部を有するデジタル信号処理装置に関するものである。

【0002】

【従来の技術】 デジタル映像信号やデジタル音声信号を処理するためのデジタル信号処理装置として、コンピュータ（演算処理装置）が用いられている。すなわち、演算手段（CPU）、入出力手段、記憶手段、システムバス等を備え、かつ汎用性を有する演算装置がデジタル信号処理装置として使用される傾向にある。

【0003】 しかしながら、実時間での処理を必要とさ

れることが多い映像信号を取り扱うためには、通常の汎用のコンピュータは必ずしも最適なものとはいえない。これは、汎用のコンピュータには、映像信号専用の入出力手段や実時間処理手段が具備されていないからである。

【0004】 これを解決するために、コンピュータのシステムバスに対していわゆる拡張スロットを設け、この拡張スロットに機能の追加を可能とする回路基板（拡張ボード）を装着することが通常行われる。

【0005】

【発明が解決しようとする課題】 ところで、ビデオの編集作業のように複雑な処理が必要とされる場合には、複数の拡張スロットを要する複数の回路基板が必要となることがあり、基板間での映像信号のやり取りを行う手段をどのように供給するか等の点で問題が生じてくることがある。

【0006】 また、通常の汎用性のあるコンピュータでは、拡張スロットに装着される基板の寸法や取り付け方に制限があることから、大型の回路基板が使用できず、

20 映像音声信号のデータの高速転送にも制限が生じ、これらの点も解決することが必要とされる。

【0007】 本発明は、このような実情に鑑みてなされたものであり、拡張スロット数を増加でき、拡張スロットに装着される回路基板サイズの自由度が高く、映像音声信号用や制御信号用の信号線の数を増加でき、デジタル映像音声信号の処理に適したデジタル信号処理装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明は、上述した課題を解決するために、システムバスに演算手段が接続されて成る情報処理部と、上記情報処理部の上記システムバスに接続され該システムバスを拡張するシステムバスに設けられた複数の拡張スロットとを有する拡張処理部とを備え、上記拡張処理部は、上記拡張されたシステムバスに対して映像音声信号専用のバスとして設けられる信号専用バスと、上記複数の拡張スロットに挿入実装される拡張回路基板の動作を制御するためのローカル制御手段と、このローカル制御手段の制御信号を伝送するローカル制御バスとを有することを特徴としている。

40 【0009】 ここで、上記信号専用バス及びローカル制御バスは、上記拡張されたシステムバスに対して平行に、上記拡張されたシステムバスのバス基板とは別のバス基板上に設けられ、これらの2つのバス基板は段差をもって一部が重なるように配置されることが挙げられる。

【0010】 また、上記信号専用バスは、ビデオ信号線、ビデオ同期信号線、オーディオ信号線、オーディオ同期信号線を少なくとも有することが挙げられ、上記信号専用バスのビデオ信号線は、複数チャネルのビデオ信号を並列に伝送することが挙げられる。

【0011】

【発明の実施の形態】以下、本発明に係る実施の形態について図面を参照しながら説明する。図1は、本発明の第1の実施の形態となるデジタル信号処理装置の概略構成を示すブロック図である。

【0012】この図1に示すデジタル信号処理装置は、一般的なパーソナルコンピュータあるいはワークステーション等のような情報処理装置1と、システムバスを拡張するための拡張処理装置10とを有して成り、これらはバス接続基板6を介して接続されている。すなわち、情報処理装置1は、内部のシステムバス2に、演算手段としてのマイクロプロセッサ等のCPU3が接続され、例えば通常のパーソナルコンピュータを構成するものであり、この内部のシステムバス2は、システムバスを延長するバス接続部6を介して、拡張処理装置10の拡張されたシステムバス12と接続されている。

【0013】情報処理装置1の内部のシステムバス2としては、コンピュータシステムに標準として具備されているシステムバスが用いられ、本実施の形態においては、いわゆるPCI (peripheral component interconnect) バスを用いているが、これに限定されない。

【0014】拡張処理装置10内の拡張されたシステムバス12は、情報処理装置1の内部システムバス2を拡張するものであり、本実施の形態では拡張PCIバスが用いられている。拡張処理装置10内には、拡張されたシステムバス12に対して平行に、デジタル映像音声(ビデオ・オーディオ)信号専用のデータバスであるDAV(Digital Audio Video)バス13と、ローカルCPUバス14とが設けられている。ローカルCPUバス14は、拡張処理装置10内のローカルCPU15による制御信号を転送するための制御信号専用バスである。

【0015】映像音声信号専用バスであるDAVバス13は、例えば図2に示すような構成を有している。この図2において、DAVバス13は、ビデオ(Video)バス131、キー(Key)バス132、ビデオ基準(Video Ref.)バス133、オーディオ(Audio)バス134、オーディオ基準(Audio Ref.)バス135、及び電源(Power)バス136を有して構成されている。ビデオバス131は、デジタル映像信号専用のバスで、例えば120本の信号線より成り、YUVが4:2:2のデジタル信号の各10ビットをY色差多重にすると、12チャネル採れることになる。キーバス132は、映像合成の際のいわゆるキー信号専用のバスで、例えば30本の信号線より成り、各10ビットのキー信号を5ビットずつ多重にすると6チャネル採れることになる。ビデオ基準バス133は、映像クロック信号や、同期信号を送るものである。オーディオバス134は、デジタル音声信号専用のバスで、例えば10本の信号線より成り、1本に8チャネルを多重することにより、80チャネル採れることになる。オーディオ基準バス135は、音声クロック

信号や、同期信号を送るものである。電源バス136は、バスに設けられた回路基板接続用の各スロットに必要な電源を供給するものである。

【0016】また、ローカルCPUバス14は、バスに設けられたスロットの内の所定のスロットに装着された制御用演算装置であるローカルCPUが使用する制御バスであり、各スロットに装着された回路基板内の回路に対して、上記システムバス経由では困難な制御を可能とするために設けられている。

10 【0017】すなわち、映像信号や音声信号においては、信号の時間の連続性を保つためにいわゆる実時間処理が必要とされることが多いが、システムバスとして上記PCIバスを用いる場合には、デジタル映像信号のチャネルを1チャネル程度しか確保できない。また、いわゆるA-Bロール編集のような2チャネル以上の映像信号を編集するためには、例えば大容量のメモリに一旦デジタル映像信号データを蓄えておいて必要な時点で読み出す等の処理が必要となり、構成が複雑化し、実時間処理も完全には行えない。

20 【0018】このため、複数チャネルのデジタル映像信号やオーディオ信号を並列的に取り扱えるDAVバスを設け、また、複数チャネルの実時間処理を実現するためにDAVバスを介して各種のビデオ信号処理回路基板やオーディオ信号処理回路基板を装着するわけであるが、これらのビデオ、オーディオ信号処理回路における実時間処理を制御するために、ローカルCPUやローカルCPUバスが設けられている。これによって、符号化/復号処理のためのCODEC回路基板や記録媒体インターフェース回路基板等の拡張ボードからは、複数チャネルの内の任意のチャネルを指定してデジタル信号データを送ることができ、受け取り側でも任意のチャネルのデジタル信号データを受け取ることができ、データ伝送のコンフィグレーションを自由に変更でき、複数チャネルのデジタル信号処理が実時間で行える。

30 【0019】ここで、図1、図2の拡張処理装置10内の拡張されたシステムバス12、DAVバス13、ローカルCPUバス14に対して、回路基板を電気的に接続すると共に機械的に支持するためのスロット19が設けられている。一般的にスロットとは、システムバスに対して拡張ボードを装着して電気的に接続するためのコネクタを指すことが多いが、本実施の形態において、拡張処理装置10のスロット19とは、具体的には各バス12、13、14毎にそれぞれ設けられた後述するコネクタの組に相当するものである。すなわち、1つのスロット19に1枚の拡張ボード(回路基板)が装着されることにより、この拡張ボードに対して、各バス12、13、14の各コネクタを介して電気的な接続がなされる。ただし、拡張ボードによってはバス12、13、14の全てとの電気的な接続を必要としないものもある。

40 【0020】本実施の形態では、拡張処理装置10内に

例えば14のスロットを設けており、最大14枚の拡張ボードを装着可能としている。例えば図1の例では、このような拡張ボードとして、ローカルC P U回路基板15、ディジタルI/O回路基板17、映像（ビデオ）信号の符号化／復号のためのコーデック（CODEC）回路基板21、ビデオ記録用のインターフェース回路基板23、ディジタル特殊効果やスイッチャ等のビデオ信号処理を施すための特殊効果回路基板24、オーディオ信号処理（符号化／復号等）用の回路基板26、オーディオ記録用のインターフェース回路基板27、及びその他の回路基板29が示されている。ローカルC P U回路基板15は、コントロールパネル16と接続され、ディジタルI/O回路基板17はコネクタパネル18と接続され、ビデオ記録用インターフェース回路基板24は、いわゆるR A I D (redundant array of inexpensive disks) 等のディスク装置23、あるいは他の情報蓄積媒体に接続されている。また、コネクタパネル18を介して外部機器との情報信号（ディジタルA V信号等）の入出力がなされ、例えばモニタ装置8が接続されている。

【0021】また、図2の各スロット19には、スロット番号としてSlot#1～Slot#14を付しており、13番目（Slot#13）のスロット19については、図1のローカルC P U回路基板15が装着され、後述するようにクロック信号の供給源となるように設定されている。

【0022】図3、図4は、情報処理装置1、バス接続部6及び拡張処理装置10から成るディジタル信号処理装置の機械的な概略構造を示す図である。これらの図3、図4において、上記システムバス2は、情報処理装置1のバス基板31上に設けられており、通常、マイクロプロセッサ等の演算処理回路（C P U）が搭載されている。バス基板31は、マザーボードあるいはバックプレーンボードとも称されるものであり、本実施の形態では、いわゆるP C Iマザーボードが用いられる。このバス基板31には、システムバスに接続される各種P C Iボード等の拡張ボード（回路基板）を装着するための拡張スロットとしてのコネクタ33がいくつか設けられている。

【0023】また、バス基板31には、システムバス拡張のためのコネクタ36aが設けられており、このコネクタ36aに、システムバスを延長するための上記バス接続部6となるバス延長基板6aが装着される。情報処理装置1と拡張処理装置10とは、上下に積み重ねて配置され、バス延長基板6aが、これらの情報処理装置1及び拡張処理装置10の内部を貫通するように、情報処理装置1のバス基板31に対して垂直に配設される。拡張処理装置10側では、バス延長基板6aのケーブル接続部6bを介してフラットケーブル6cが接続され、このフラットケーブル6cが拡張処理装置10内のバス基板41にてコネクタ36bにより結合されることで、バス基板41上の上記拡張されたシステムバス12と電

気的に接続される。これによって、情報処理装置1のシステムバス2と、拡張処理装置10の拡張されたシステムバス12との電気的接続が行われる。

【0024】拡張処理装置10内には2枚のバス基板（いわゆるマザーボードあるいはバックプレーンボード）41、42が配設されており、バス基板41には上記拡張されたシステムバス12が設けられ、バス基板42には上記D Aバス13及びローカルC P Uバス14が設けられている。バス基板41上には、上記拡張された

10 システムバス12に拡張ボード（回路基板）を接続するためのコネクタ43がいくつか設けられており、これらのコネクタ43に対応して、バス基板42上には、上記D Aバス13との接続用のコネクタ44と、上記ローカルC P Uバス14との接続用のコネクタ45とがそれぞれ設けられている。これらのコネクタ43、44、45は、図2のスロット19に対応するものであり、1つのスロット19に対して、コネクタ43、44、45の1組が一直線上に並ぶように配列され、例えば本実施の形態では14スロットに対応して14組のコネクタが設けられている。

【0025】本実施の形態では、2枚のバス基板41、42に垂直方向（上下方向）の段差があり、一部が重なるように配置されている。これは、拡張ボードのコネクタの設置レベルが異なることを吸収するためと、基板の有効面積を増やすためである。なお、バス基板41、42を1枚の基板にまとめて良いことは勿論である。

【0026】ここで、図3、図4に示すように、バス延長基板6aを用い、情報処理装置1及び拡張処理装置10の内部を貫通するような構造を採用したのは、P C I 30 バス等のシステムバスの延長距離を最短にし、電磁不要輻射を最小限に抑えるためである。また、図3、図4の例では、バス延長基板6aに可撓性のフラットケーブル6cを接続した構造を有しており、このフラットケーブル6cによって2つの装置1、10を結合する際に生じるずれを吸収することができる。

【0027】なお、上述した電磁不要輻射の制限や延長距離の最短化の要求があまり厳しくない場合には、図5に示すように、情報処理装置1に設けたコネクタ36cと、拡張処理装置10に設けたコネクタ36dとの間40 を、接続ケーブル6dを介して接続するような構造を採用してもよい。

【0028】拡張処理装置10のバス基板41上のコネクタ43と、バス基板42上のコネクタ44、45とが一直線上に並ぶようにしていることから、P C Iバス等のシステムバスとの互換性を保ちつつ、例えばディジタル映像音声信号の処理に特化したような特殊な用途に使用可能な拡張回路基板（拡張ボード）を用いることができる。

【0029】図6は、拡張処理装置10に装着して使用50 可能な拡張回路基板（拡張ボード）のいくつかの例を示

している。この図6において、PCIボード51、52は、PCIバス用のコネクタ33aを有し、一般のコンピュータシステムの拡張ボードとしても用いられている回路基板であり、ハーフサイズのPCIボード51の縦 h_1 、横 w_1 、フルサイズのPCIボードの縦 h_2 、横 w_2 のそれぞれの具体的な寸法としては、例えば、 $h_1 = 98.4\text{ mm}$ 、 $w_1 = 174.6\text{ mm}$ 、 $w_2 = 312\text{ mm}$ となっている。これに対して、拡張処理装置10専用の拡張回路基板（拡張ボード）としては、縦 h_2 、横 w_2 のミドルサイズのDAVボード53と、縦 h_2 、横 w_3 のフルサイズのDAVボード54とが用意されており、各部寸法の具体例としては、 $h_2 = 221.7\text{ mm}$ 、 $w_3 = 470\text{ mm}$ とすることが挙げられ、また w_2 は上記と同様に312mmとすることが挙げられる。ミドルサイズのDAVボード53は、上記通常使用されるPCIボード51、52と同様にPCIバス（上記拡張メインバス12）用のコネクタ43aを有し、さらに上記DAVバス13用のコネクタ44aを有し、高さ方向にも拡張された基板である。また、フルサイズのDAVボード54は、ミドルサイズのDAVボード53をさらに横方向に拡張して、上記ローカルCPUバス14用のコネクタ45aを有しております、上記ローカルCPU15のソフトウェアを用いるための基板である。なお、各コネクタの種類と位置についての規定が守られている限り、回路基板の形状や寸法は任意に変更可能であることは勿論である。

【0030】次に、図2のDAVバス13のビデオ基準バス133を介して送られる映像クロック信号、及びオーディオ基準バス135を介して送られる音声クロック信号の供給方法について、図7を参照しながら説明する。

【0031】図7において、上述したバス基板42に設けられたDAVバス13用のコネクタ44を示しており、これらのコネクタ44の内の所定のコネクタ44cに、上記図1のローカルCPU回路基板15が装着されるようになっている。このコネクタ44cは、上記図2の13番目(Slot#13)のスロット19cに対応するものである。

【0032】このコネクタ44cに接続された上記ローカルCPU回路基板15からの映像及び音声用のクロック信号は、所定の端子（例えば10番、11番ピン）を介して、マザーボードである上記バス基板42上のクロックドライバ回路の差動入力アンプ46に供給される。この差動入力アンプ46からの出力は、複数の（他のスロットへ供給する個数分の）差動出力アンプ47に送られ、差動信号に変換されて、これらの差動出力アンプ47からの差動クロック出力信号が、他のスロットのコネクタ44の所定の端子（例えば10番、11番ピン）にそれぞれ供給される。

【0033】これは、上記DAVバス13においては、

どのスロットもバス内の信号に関して等価であるが、クロック信号だけは、各スロットが極めて厳密に同期して動作することが必要とされることから、特定スロット(Slot#13)をクロック供給元として定めて、このスロットからのクロック信号を他のクロックに配分しているものである。また、1つの差動入力アンプ46からの出力を、他のスロットの個数分の差動出力アンプ47を介してそれぞれのスロットに供給する構成は、一本のクロック供給線を各スロットに接続して順次クロック信号を供給する構成に比べて、差動信号のためノイズ耐性が強く、1対1供給であるため、ノイズの影響が少なく、十分な供給電流を確保でき、各スロットで受け取るクロック信号の位相のばらつきが極めて少ないという利点があるのみならず、さらに、クロックドライバ回路がバス基板上にあり、信号ピンはいずれのスロットも同一位置にあるので、クロック信号を出力する側も受け取る側も1対1供給を意識する必要がないという利点もある。

【0034】このような基準クロックに同期して、上述したようなビデオ信号やオーディオ信号の実時間処理を制御するために、ローカルCPU回路基板15のローカルCPUやローカルCPUバス14が設けられている。

【0035】ところで、システムバスに拡張スロットを設ける場合には、ファンアウトの制限があるため、ブリッジを介してスロット数を増加することが必要とされる。1個のブリッジのファンアウト数は、例えば4となっており、本実施の形態のように14個の拡張スロットを設けるには4個のブリッジICが必要とされる。

【0036】図8は、このようなブリッジを用いたシステムバスの拡張スロットの増設構造を示している。この

図8において、上記情報処理装置1側のバス基板31のシステムバス2について、CPU3等のチップセットが接続されたシステムバス2aには例えば3個の拡張スロット（コネクタ33に対応）が設けられ、このシステムバス2aは、ブリッジ回路61を介してシステムバス2bに接続され、このシステムバス2bには4個の拡張スロット（コネクタ33）とシステムバス拡張のためのコネクタ36aが設けられている。コネクタ36aには、バス延長基板6aが挿入実装され、上記システムバス2bがバス延長基板6a上のブリッジ回路62に接続さ

れ、ケーブル接続部6b、フラットケーブル6cを介して上記拡張処理装置10側のバス基板41のコネクタ36bに挿入接続されることで、上記ブリッジ回路62はバス基板41上のブリッジ回路63に接続される。このブリッジ回路63には、4個のブリッジ回路64a、64b、64c、64dがそれぞれ接続され、各ブリッジ回路64a、64b、64c、64dには拡張されたシステムバス12a、12b、12c、12dがそれぞれ接続されている。

【0037】この図8の実施の形態では、同じブリッジ回路に接続されるシステムバス内でDMA(Direct Mem

ory Access) 転送が行われるように、同じブリッジ回路に属するグループの拡張スロットに、DMA転送が必要とされる回路基板を装着するようにしている。すなわちこのDMA転送は、デジタル信号の符号化／復号回路と、該デジタル信号の蓄積媒体のインターフェース回路との間で行われることが多いことより、ブリッジ回路64aに接続されたシステムバス12aのコネクタ43には、ビデオ信号の符号化／復号用のCODEC回路基板21と、ビデオ記録用のインターフェース回路基板22とを挿入実装し、これらの基板21, 22間でDMA転送を行わせ、また、ブリッジ回路64cに接続されたシステムバス12cのコネクタ43には、オーディオ信号の符号化／復号等の信号処理用の回路基板26と、オーディオ記録用のインターフェース回路基板27とを挿入実装し、これらの基板26, 27間でDMA転送を行わせている。

【0038】このように、同じブリッジ回路に接続されたシステムバス内でDMA転送を行わせることにより、DMA転送の際にブリッジ回路を経由しなくて済むため、ブリッジ回路を経由することによる遅延（例えば270ns）が生じず、高速で効率の良いデータ転送が行える。

【0039】また、図8の実施の形態のように、ブリッジ回路64a～64dが互いに並列的になるように各ブリッジ回路64a～64dをそれぞれ直接ブリッジ回路63に接続することにより、ブリッジ回路64a～64dを直列に順次接続するような構成に比べて、ブリッジ回路を経由することによる遅延時間を短縮することができる。

【0040】なお、上記情報処理装置1のバス基板31上のCPU3等のチップセットが接続されたシステムバス2aから、各ブリッジ回路64a～64dをそれぞれ接続されたシステムバス12a～12dまでの間の遅延時間は、ブリッジ回路4個分に相当し、1個のブリッジ回路の遅延時間が例えば270nsのときには、4個分で1080nsの遅延時間（レイテンシ：Latency）となる。

【0041】ところで、上述したように、同じブリッジ回路に接続された拡張スロット群にDMA転送が行われる回路基板の組が挿入実装されたか否かを確認するために、拡張スロット及び回路基板についてのそれぞれの識別情報が得られるようにしている。

【0042】すなわち、図9に示すように、上記拡張処理装置10側のバス基板41、42の各スロット毎に、他のスロットと区別可能な当該スロットに固有の（一意の）識別情報を与えるスロットID回路66が設けられ、また、拡張回路基板（拡張ボード）54には、そのボードに固有の識別情報を出力するボードID回路67が設けられている。

【0043】図9の例では、スロットID回路66は、

バス基板42上に設けられてコネクタ45の所定ピンに接続され、拡張ボード（回路基板）54のコネクタ45aを介して拡張ボード54上の識別回路（図示せず）により読み取られるようになっている。このスロットID回路66は、コネクタ44に接続するようにしてもよく、またスロットID回路66をバス基板41上に設けて、コネクタ43に接続するようにしてもよい。スロットID回路66は、例えばコネクタの端子ピンに抵抗を接続し、この抵抗の他端を接地したり所定電位を与えたりすることで0, 1を表すようにし、このような抵抗を、スロット識別に必要なビット数分、例えば本実施の形態では14スロット識別のための4ビットに対応する4本設けて構成することができ、スロット毎にスロットID回路66の4ビットの値を異ならせればよい。なお、スロットIDの識別回路（図示せず）は、ハードウェアで構成してもよいが、拡張ボード54上のCPU等を用いてソフトウェアにより識別させればよい。

【0044】また、拡張ボード54上のボードID回路67は、拡張ボード側のコネクタ43aに接続されており、このコネクタ43aがバス基板41のコネクタ43に挿入実装されることで、上記拡張されたシステムバス10に接続されるようになっている。このシステムバス10に送られたボード識別情報は、上記図1の情報処理装置1のCPU3等により読み取られて、装着された拡張ボードの識別が行われる。ボードID回路67としては、例えばROM等が用いられる。なお、ボードID回路67を、コネクタ44aや、コネクタ45aに接続するようにして、上記図1の拡張装置10側の回路により、例えばローカルCPU15等により、ボード識別を行なうようにしてもよい。

【0045】上述したように、拡張ボード54上の識別回路（図示せず）により識別されたスロットIDの情報は、上記図1のシステムバス10やローカルCPUバス14等を介してCPU3やローカルCPU15等に送つて、上記拡張ボードの識別結果と組み合わせることにより、上述した同じブリッジ回路に接続された拡張スロット群にDMA転送が行われる回路基板の組が挿入実装されたか否かを判別することができる。

【0046】次に、電源の制御方法について説明する。40 上記図1や図3に示したように、本実施の形態のデジタル信号処理装置は、2つのユニット、すなわち情報処理装置1と拡張処理装置10とから成り、これらが機械的及び電気的に結合されるようになっている。回路規模が大きくなれば、各装置1, 10にそれぞれ電源回路を設けることが普通であるが、電源投入の際には、これらの装置1, 10の間で電源立ち上げの順序を守る必要がある場合が多い。このため、本実施の形態においては、一方の電源装置から他方の電源装置に制御信号を送るようしている。

【0047】すなわち図10は、情報処理装置1側の電

源装置71とは別に、拡張処理装置10側にも拡張処理装置専用の電源装置72が設けられた構成を示している。この図10において、情報処理装置1側の電源装置71は、拡張処理部装置10側の電源装置7よりも早く立ち上がることが必要とされている。そこで、電源スイッチ73からの電源オンオフ信号は、電源71に伝えられ、電源装置71から出力される電源制御信号は、バス基板31を介し、コネクタ36aからバス接続部6（バス延長基板6a、ケーブル接続部6b、フラットケーブル6c）、コネクタ36bを介し、拡張されたシステムバスのバス基板41を介して、拡張処理装置用の電源装置72に入力され、この電源装置72のオンオフを制御する。

【0048】このように、拡張処理装置10側の電源装置72が情報処理装置1の電源装置71により制御されることにより、システムリセットの順序等を守って、電源装置71が立ち上がった後に電源装置72が立ち上がるような制御が行われる。

【0049】なお、本発明は上述した実施の形態に限定されるものではなく、例えば、情報処理装置と拡張処理装置を一体化して1つの筐体内に収納した構造としてもよい。また、DAVバスの具体的な構成や、バス基板の構造等も図示の例に限定されることは勿論である。

【0050】

【発明の効果】本発明によれば、システムバスに演算手段が接続されて成る情報処理部と、上記情報処理部の上記システムバスに接続され該システムバスを拡張するシステムバスに設けられた複数の拡張スロットとを有する拡張処理部とを備え、上記拡張処理部は、上記拡張されたシステムバスに対して映像音声信号専用のバスとして設けられる信号専用バスと、上記複数の拡張スロットに挿入実装される拡張回路基板の動作を制御するためのローカル制御手段と、このローカル制御手段の制御信号を伝送するローカル制御バスとを有することにより、映像音声データ用のチャネル数と、制御用信号数を増加させることができ、拡張スロット数を増加させることができ、映像音声信号の編集作業等の処理が実時間で行え、この実時間処理をローカル制御手段により制御することができる。

【0051】また、拡張されたシステムバスと信号専用バス及びローカルCPUバスとが平行に設けられるため、拡張回路基板の挿入実装が確実に、かつ接続の信頼性高く行え、また、システムバスのバス基板と信号専用

バスのバス基板とを別にして段差をもたせ一部を重ねて配置していることから、拡張回路基板のコネクタの設置レベルが異なることを吸収でき、バス基板の有効面積を増やすことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態となるデジタル信号処理装置の概略構成を示すブロック図である。

【図2】拡張処理装置内のDAVバス及びローカルCPUバスを示す図である。

10 【図3】本発明の実施の形態となるデジタル信号処理装置の情報処理装置と拡張処理装置との結合構造を示す図である。

【図4】本発明の実施の形態となるデジタル信号処理装置の情報処理装置と拡張処理装置との結合構造を示す図である。

【図5】本発明の実施の形態となるデジタル信号処理装置の情報処理装置と拡張処理装置との結合構造の他の例を示す図である。

20 【図6】拡張回路基板（拡張ボード）の具体例を示す図である。

【図7】クロック供給の具体例を説明するための図である。

【図8】システムバスをブリッジを介して接続する構成を示す図である。

【図9】ボードID及びスロットIDを説明するための図である。

【図10】電源のオンオフ制御を説明するための図である。

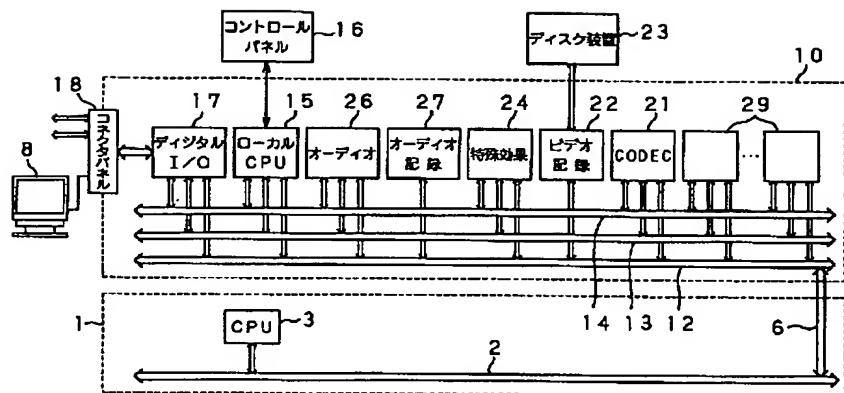
【符号の説明】

30 1 情報処理装置、 2 システムバス、 3 CPU、 6 バス接続部、 10 拡張処理装置、 12 拡張されたシステムバス、 13 DAVバス、 14

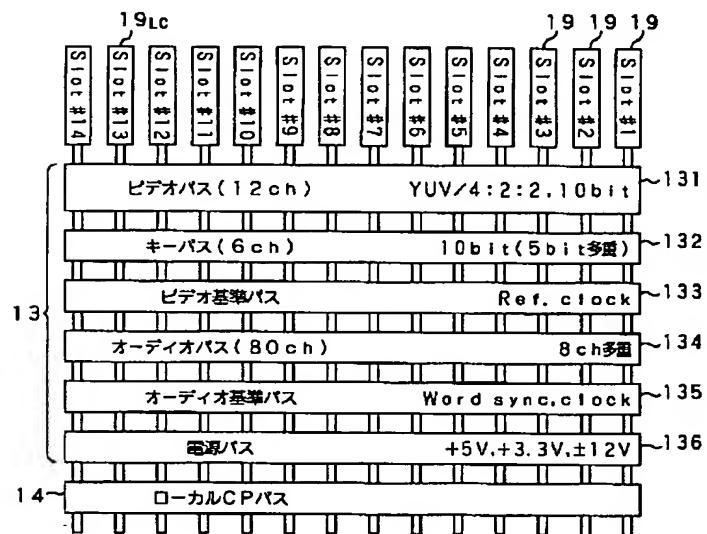
ローカルCPUバス、 15 ローカルCPU回路基板、 21 CODEC回路基板、 22 ビデオ記録インターフェース回路基板、 23 ディスク装置、 24 特殊効果回路基板、 26 オーディオ信号処理回路基板、 27 オーディオ記録インターフェース回路基板、 31, 41, 42 バス基板、 33, 36a, 36b, 43, 44 コネクタ、 46 差動入力

40 アンプ、 47 差動出力アンプ、 61, 62, 63, 64a～64d ブリッジ回路、 66 スロットID回路、 67 ボードID回路、 71, 72 電源装置、 73 電源スイッチ

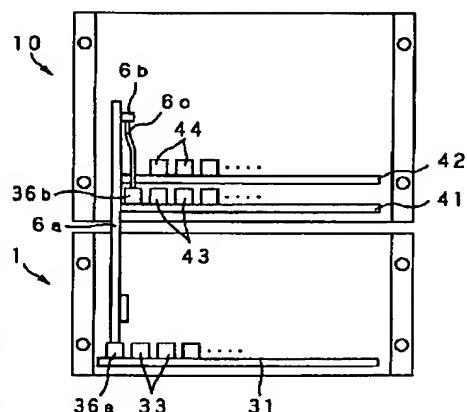
【図1】



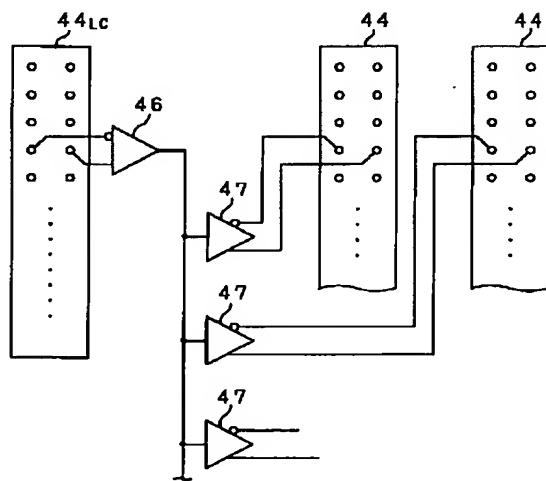
【図2】



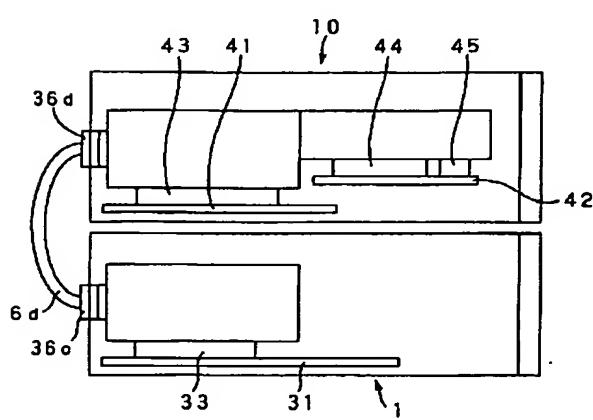
【図3】



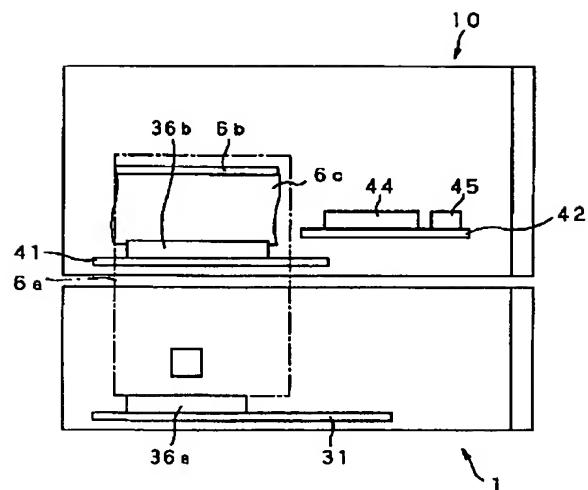
【図7】



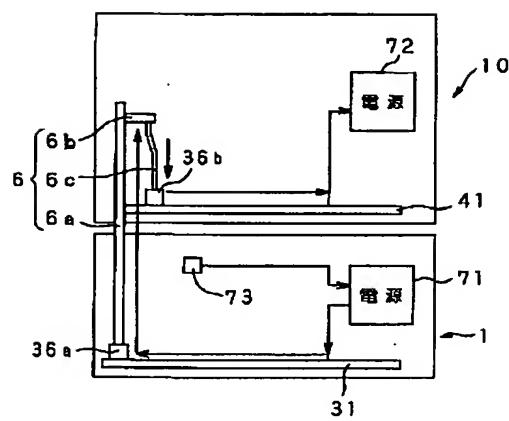
【図5】



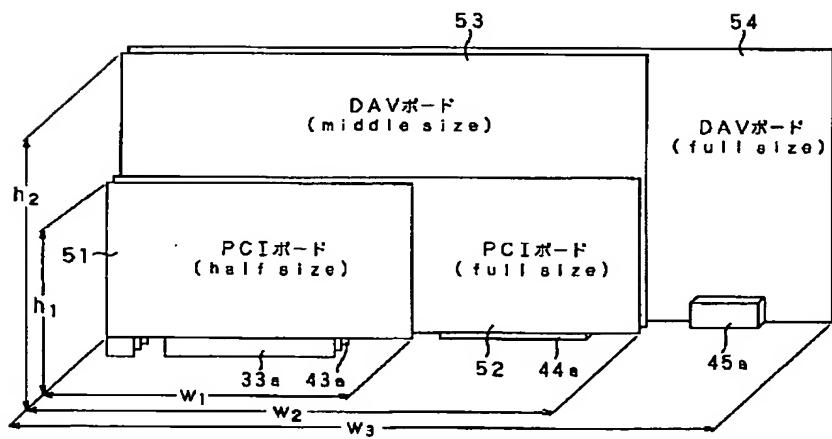
【図4】



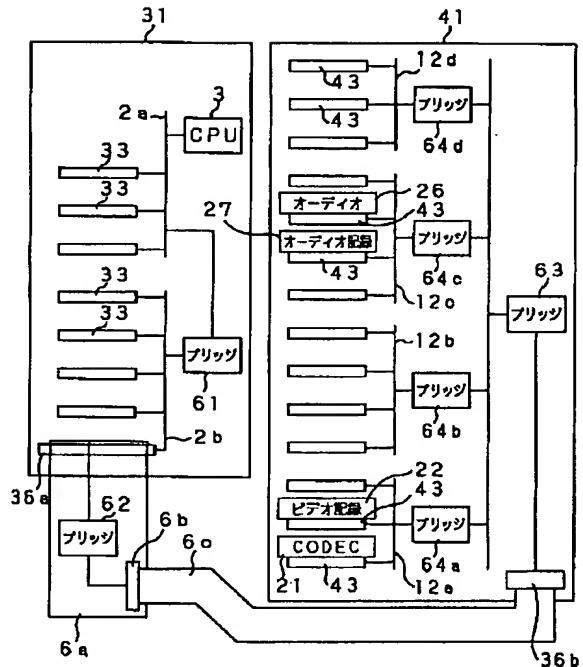
【図10】



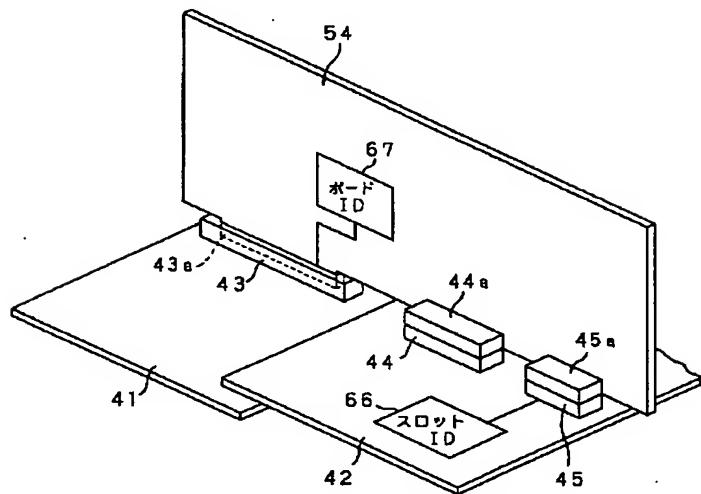
【図6】



【図8】



【図9】



PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11-328104

(43)Date of publication of application: 30.11.1999

(51)Int.Cl. G06F 13/36

G06F 1/18

G06F 3/00

G06F 15/163

G06F 15/16

(21)Application number: 10-130882 (71)Applicant: SONY CORP

(22)Date of filing: 13.05.1998 (72)Inventor: NAKAMATSU AKIRA

ABE TAKAO

NAKAMURA NOBUO

(54) DIGITAL SIGNAL PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To process video and audio signals in real time by providing an extension slot into which various extension boards are inserted and mounted for an extension processor for extending an information processor such as a personal computer.

SOLUTION: The system bus 2 in the information processor 1 such as a personal computer is connected to an extended system bus 12 in the extension processor 10. In parallel to the system bus 12 in the extension processor 10, a DAV bus 13 dedicated to

video and audio signals and a local CPU bus 14 are provided. In extension slot provided across the respective buses 12, 13, and 14 in the extension processor 10, a local CPU circuit board 15, a CODEC circuit board 21 for video signal encoding/decoding, etc., are mounted and a local CPU controls real-time processing.

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A digital signal processing device comprising:

An information processing section which a calculating means is connected to a system bath and changes.

A system bath which is connected to the above-mentioned system bath of the above-mentioned information processing section, and extends this system bath.

A signal dedicated bus provided as a bus only for a video voice signal to a system bath

provided with an extended treating part which has two or more expansion slots provided in an extended this system bath by which the above-mentioned extended treating part was extended [above-mentioned].

A local control bus which transmits a control signal of a local control means for controlling operation of an expansion circuit board by which insertion mounting is carried out, and this local control means to two or more above-mentioned expansion slots.

[Claim 2]The digital signal processing device according to claim 1, wherein the above-mentioned signal dedicated bus and a local control bus are formed in parallel to a system bath extended [above-mentioned].

[Claim 3]The digital signal processing device according to claim 2, wherein the above-mentioned signal dedicated bus and a local control bus are formed on a bus substrate other than a bus substrate of a system bath extended [above-mentioned], and these two bus substrates are arranged so that a part may lap with a level difference.

[Claim 4]The digital signal processing device according to claim 2, wherein a system bath of the above-mentioned information processing section and a system bath of the above-mentioned extended treating part are connected via a bus connection board.

[Claim 5]The digital signal processing device according to claim 1, wherein the above-mentioned signal dedicated bus has a video signal line, a video-synchronizing-signals line, an audio signal line, and an audio synchronizing signal line at least.

[Claim 6]The digital signal processing device according to claim 1, wherein a video signal line of the above-mentioned signal dedicated bus transmits a video signal of a multiple channel in parallel.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the digital signal processing device which has an extended treating part which extends the system bath to which the calculating means was connected especially about the digital signal processing device for processing a digital video signal and a digital sound signal.

[0002]

[Description of the Prior Art]The computer (arithmetic processing unit) is used as a digital signal processing device for processing a digital video signal and a digital sound signal. That is, it is in the tendency for the arithmetic unit which is provided with a calculating means (CPU), an input output means, a memory measure, a system bath, etc., and has flexibility to be used as a digital signal processing device.

[0003]However, in order to deal with the video signal for which the processing in real time is needed in many cases, the usual general-purpose computer cannot necessarily say it as the optimal thing. This is because the input output means or real-time-processing means only for a video signal do not possess to a general-purpose computer.

[0004]In order to solve this, what is called an expansion slot is provided to the system bath of a computer, and equipping with the circuit board (add-in board) which enables the addition of a function at this expansion slot is usually performed.

[0005]

[Problem(s) to be Solved by the Invention]By the way, when complicated processing is needed like the editing work of video, two or more circuit boards which require two or more expansion slots may be needed, and a problem may arise in respect of how a means to exchange the video signal between substrates is supplied.

[0006]In the usual flexible computer, the large-sized circuit board cannot be used, but

restriction arises from the size of the substrate with which an expansion slot is equipped, and how to attach having restriction also in fast transmission of the data of a video voice signal, and to also solve these points is needed.

[0007]This invention is made in view of such the actual condition, and is a thing. The purpose is to provide the digital signal processing device which could increase the number, the flexibility of the circuit board size with which an expansion slot is equipped was high, could increase the number of the signal wires the object for video voice signals, and for control signals, and fitted processing of the digital video audio signal.

[0008]

[Means for Solving the Problem]This invention is characterized by comprising the following, in order to solve a technical problem mentioned above.

An information processing section which a calculating means is connected to a system bath and changes.

A signal dedicated bus provided as a bus only for a video voice signal to a system bath provided with an extended treating part which has two or more expansion slots provided in a system bath which is connected to the above-mentioned system bath of the above-mentioned information processing section, and extends this system bath by which the above-mentioned extended treating part was extended [above-mentioned].

A local control means for controlling operation of an expansion circuit board by which insertion mounting is carried out to two or more above-mentioned expansion slots.

A local control bus which transmits a control signal of this local control means.

[0009]Here, the above-mentioned signal dedicated bus and a local control bus are formed to a system bath extended [above-mentioned] on a bus substrate other than a bus substrate of a system bath extended [above-mentioned] in parallel, and it is mentioned that these two bus substrates are arranged so that a part may lap with a level difference.

[0010]It is mentioned that the above-mentioned signal dedicated bus has a video signal line, a video-synchronizing-signals line, an audio signal line, and an audio synchronizing signal line at least, and, as for a video signal line of the above-mentioned signal dedicated bus, transmitting a video signal of a multiple channel in parallel is mentioned.

[0011]

[Embodiment of the Invention]It explains referring to drawings for the embodiment concerning this invention hereafter. Drawing 1 is a block diagram showing the outline composition of the digital signal processing device used as a 1st embodiment of this invention.

[0012]The digital signal processing device shown in this drawing 1 has the information processors 1, such as a common personal computer or a workstation, and the extended processing unit 10 for extending a system bath, and these are connected via the bus connection board 6. Namely, as for the information processor 1, CPU3, such as a microprocessor as a calculating means, is connected to the internal system bath 2, For example, the usual personal computer is constituted and the system bath 2 of this inside is connected with the system bath 12 to which the extended processing unit 10 was extended via the bus connection part 6 which extends a system bath.

[0013]As the system bath 2 inside the information processor 1, It is [in / the system bath provided as a standard is used for a computer system, and / this embodiment] what is called PCI (peripheral component interconnect). Although the bus is used, it is not limited to this.

[0014]The extended system bath 12 in the extended processing unit 10 extends the internal system bath 2 of the information processor 1, and the extended PCI bus is used in this embodiment. DAV (Digital AudioVideo) which is a data bus only for a digital video voice (video audio) signal in parallel to the system bath 12 extended in the extended processing unit 10 The bus 13 and the local CPU bus 14 are formed. The local CPU bus 14 is a control signal dedicated bus for transmitting the control signal by local CPU15 in the extended processing unit 10.

[0015]DAV bus 13 which is a video voice signal dedicated bus has composition as shown, for example in drawing 2. In this drawing 2, DAV bus 13, Video (Video) The bus 131 and key (Key) The bus 132, the video standard (Video Ref.) bus 133, and audio (Audio) It has the bus 134, the audio standard (Audio Ref.) bus 135, and the power supply (Power) bus 136. It is constituted. The 12 video buses 131 can be taken, when it is a bus only for a digital video signal, 120 signal wires are comprised, for example and YUV makes 10 bits each of the digital signal of 4:2:2 Y color difference multiplex. The key bus 132 is a bus only for what is called a key signal in the case of picture composite, comprises 30 signal wires, for example, and when it makes multiplex 5 bits of 10-bit key signals each at a time, it can be taken six channels. The video standard bus 133 sends an image clock signal and a synchronized signal. The audio bus 134 can be taken 80 channels by being a bus only for a digital sound signal, comprising ten signal wires, for example, and carrying out multiplex [of the eight channels] to one.

The audio standard bus 135 sends an audio clock signal and a synchronized signal. The power supply buses 136 supply a power supply required for each slot for circuit board connection provided in the bus.

[0016]The local CPU bus 14 is a control bus which local CPU which is the arithmetic unit for control with which the slot predetermined [of the slots provided in the bus] was equipped uses, and the circuit in the circuit board with which each slot was equipped is received. It is provided in order to enable difficult control via [above-mentioned] a system bath.

[0017]That is, in a video signal or an audio signal, in order to maintain the continuity of the time of a signal, what is called real time processing is needed in many cases, but when using the above-mentioned PCI bus as a system bath, only about one channel of a digital video signal cannot be secured. In order to edit a video signal of two or more channels like what is called A-B roll edit, digital video signal data is once stored, for example in the mass memory, processing of reading, when required is needed, composition is complicated, and real time processing cannot be performed thoroughly, either.

[0018]For this reason, in order to form the DAV bus which can deal with the digital video signal and audio signal of a multiple channel in parallel and to realize real time processing of a multiple channel, equip with various kinds of video signal processing circuit boards and audio signal processing circuit boards via a DAV bus, but. In order to control the real time processing in such videos and an audio signal processing circuit, local CPU and the local CPU bus are formed. By this, from add-in boards, such as a CODEC circuit board, a recording-medium interface circuit board, etc. for coding/decoding processing. The arbitrary channels of the multiple channels can be specified and digital signal data can be sent. The receipt side can also receive the digital signal data of arbitrary channels, and can change the configuration of data communications freely, and digital signal processing of a multiple channel can perform it in real time.

[0019]Here, to drawing 1, the extended system bath 12 in the extended processing unit 10 of drawing 2, DAV bus 13, and the local CPU bus 14, the circuit board is electrically connected and the slot 19 for supporting mechanically is established. In [although a slot generally refers to the connector for equipping with an add-in board to a system bath, and electrically connecting in many cases] this embodiment, The slot 19 of the extended processing unit 10 is specifically equivalent to the group of each buses 12 and 13 and the connector which were provided for every 14, respectively and which is mentioned later. That is, electric connection is made via

each connector of each buses 12, 13, and 14 to this add-in board by equipping the one slot 19 with the add-in board (circuit board) of one sheet. However, there are some which do not need the electric connection with all the buses 12, 13, and 14 depending on an add-in board.

[0020]According to this embodiment, the slot of 14 is established in the extended processing unit 10, and wearing of the add-in board of a maximum of 14 sheets is enabled. For example, in the example of drawing 1 as such an add-in board, Video signal processing, such as the codec (CODEC) circuit board 21 for coding/decoding of the local CPU circuit board 15, the digital I/O circuit board 17, and an image (video) signal, the interface circuit board 23 for video record, digital special effects, and a switcher, the special-effects circuit board 24 for giving, and audio signal processings (coding/decoding) -- the circuit board 26 of business, the interface circuit board 27 for audio record, and the other circuit boards 29 are shown. The local CPU circuit board 15 is connected with the control panel 16, The digital I/O circuit board 17 is connected with the connector panel 18, and the interface circuit board 24 for video record, It is connected to the disk unit 23 or other information storage media, such as what is called RAID (redundant array of inexpensive disks). Input and output of information signals (digital AV signal etc.) with an external instrument are made via the connector panel 18, for example, the monitoring device 8 is connected.

[0021]Give Slot#1 – Slot#14 to each slot 19 of drawing 2 as a slot number, and about 13th slot 19_{LC} (Slot#13). It is equipped with the local CPU circuit board 15 of drawing 1, and is set up become a supply source of a clock signal so that it may mention later.

[0022]Drawing 3 and drawing 4 are the figures showing a mechanical outline structure of the digital signal processing device which comprises the information processor 1, the bus connection part 6, and the extended processing unit 10. In these drawing 3 and drawing 4, the above-mentioned system bath 2 is formed on the bus substrate 31 of the information processor 1, and arithmetic processing circuits (CPU), such as a microprocessor, are usually carried. The bus substrate 31 is also called a mother board or a back plane board, and what is called a PCI mother board is used in this embodiment. The connector 33 as an expansion slot for equipping this bus substrate 31 with add-in boards (circuit board), such as various PCI boards connected to a system bath, is formed partly.

[0023]The connector 36a for system bath extension is formed in the bus substrate 31, and it is equipped with the bus extension board 6a used as the above-mentioned bus connection part 6 for extending a system bath to this connector 36a. The information processor 1 and the extended processing unit 10 are accumulated up and down, and

are arranged, and the bus extension board 6a is vertically allocated to the bus substrate 31 of the information processor 1 so that the inside of these information processors 1 and the extended processing unit 10 may be penetrated. By the flat cable 6c being connected via the cable splicing section 6b of the bus extension board 6a, and this flat cable 6c being combined by the connector 36b on the bus substrate 41 in the extended processing unit 10 in the extended processing unit 10 side. It is electrically connected with the system bath 12 on the bus substrate 41 extended [above-mentioned]. The electrical link of the system bath 2 of the information processor 1 and the system bath 12 to which the extended processing unit 10 was extended is performed by this.

[0024]In the extended processing unit 10, the bus substrates (what is called a mother board or a back plane board) 41 and 42 of two sheets are allocated. The system bath 12 extended [above-mentioned] is formed in the bus substrate 41, and above-mentioned DAV bus 13 and the local CPU bus 14 are established in the bus substrate 42. On the bus substrate 41, the connector 43 for connecting an add-in board (circuit board) to the system bath 12 extended [above-mentioned] is formed partly, and it corresponds to these connectors 43. On the bus substrate 42, the connector 44 for connection with above-mentioned DAV bus 13 and the connector 45 for connection with the above-mentioned local CPU bus 14 are formed, respectively. These connectors 43, 44, and 45 correspond to the slot 19 of drawing 2, to the one slot 19, it is arranged so that 1 set of the connectors 43, 44, and 45 may be located in a line on a straight line, for example, in this embodiment, 14 sets of connectors are provided corresponding to 14 slots.

[0025]According to this embodiment, the bus substrates 41 and 42 of two sheets have a vertical (sliding direction) level difference, and it is arranged so that a part may lap. This is for increasing the usable area of a substrate in order to absorb that the installation levels of the connector of an add-in board differ. Of course, the bus substrates 41 and 42 may be summarized to one substrate.

[0026]Here, as shown in drawing 3 and drawing 4, structure which penetrates the inside of the information processor 1 and the extended processing unit 10 was adopted using the bus extension board 6a in order to make extended distance of system baths, such as a PCI bus, into the shortest and to stop electromagnetism spurious radiation to the minimum. In the example of drawing 3 and drawing 4, it has the structure which connected the flexible flat cable 6c to the bus extension board 6a, and the gap produced when combining the two devices 1 and 10 with this flat cable 6c can be absorbed.

[0027]When the restriction of electromagnetism spurious radiation or the demand of shortest-sizing of an extended distance which were mentioned above are not so severe, As shown in drawing 5, the structure where between the connector 36c provided in the information processor 1 and the connectors 36d provided in the extended processing unit 10 is connected via the connecting cable 6d may be adopted.

[0028]Maintaining compatibility with system baths, such as a PCI bus, since he is trying to locate in a line the connector 43 on the bus substrate 41 of the extended processing unit 10, and the connectors 44 and 45 on the bus substrate 42 on a straight line. For example, an usable expansion circuit board (add-in board) can be used for a special use which specialized in processing of a digital video audio signal.

[0029]The extended processing unit 10 is equipped with drawing 6, and it shows some examples of the usable expansion circuit board (add-in board). In this drawing 6, PCI boards 51 and 52, It is the circuit board which has the connector 33a for PCI buses, and is used also as an add-in board of a general computer system, As each concrete size of vertical h_1 , of PCI board 51 of half size, horizontal w_1 , vertical h_1 , of a full-sized PCI board, and horizontal w_2 , For example, they are $h_1=98.4\text{mm}$, $w_1=174.6\text{mm}$, and $w_2=312\text{mm}$. On the other hand, as an expansion circuit board (add-in board) of extended processing unit 10 exclusive use, The DAV board 53 of the middle size of vertical h_2 and horizontal w_2 , The full-sized DAV board 54 of vertical h_2 and horizontal w_3 is prepared, and being referred to as $h_2=221.7\text{mm}$ and $w_3=470\text{mm}$ is mentioned as an example of each part size, and it is mentioned that w_2 sets to 312 mm like the above. PCI boards 51 and 52 in which the above-mentioned normal use of the DAV board 53 of middle size is carried out -- the same -- a PCI bus (the above-mentioned extended main bus 12) -- it is the substrate which has the connector 43a of business, has the connector 44a further for the above-mentioned DAV bus 13, and was extended also to the height direction. The full-sized DAV board 54 extends the DAV board 53 of middle size to a transverse direction further, has the connector 45a for the above-mentioned local CPU bus 14, and is a substrate for using the software of above-mentioned local CPU15. As long as the regulation about the kind and position of each connector is kept, the shape and the size of the circuit board of the ability to change arbitrarily are natural.

[0030]Next, the feeding method of the image clock signal sent via the video standard bus 133 of DAV bus 13 of drawing 2 and the audio clock signal sent via the audio standard bus 135 is explained, referring to drawing 7.

[0031]In drawing 7, the connector 44 for DAV bus 13 provided in the bus substrate 42 mentioned above is shown, and connector 44_{LC} predetermined [of these connectors

44] is equipped with the local CPU circuit board 15 of above-mentioned drawing 1. This connector 44_{LC} corresponds to 13th slot 19_{LC} (Slot#13) of above-mentioned drawing 2.

[0032]The image from the above-mentioned local CPU circuit board 15 connected to this connector 44_{LC} and the clock signal for sounds are supplied to the differential input amplifier 46 of the clock driver circuit on the above-mentioned bus substrate 42 which is a mother board via a predetermined terminal (for example, No. 10, the No. 11 pin). The output from this differential input amplifier 46 is sent to two or more differential output amplifier (a part for the number supplied to other slots) 47, It is changed into a differential signal and the differential output clock signal from these differential output amplifier 47 is supplied to the predetermined terminal (for example, No. 10, the No. 11 pin) of the connector 44 of other slots, respectively.

[0033]Although every slot is equivalent about the signal in a bus in above-mentioned DAV bus 13 as for this, Since for each slot to synchronize very strictly and to operate is needed, only the clock signal defined the specific slot (Slot#13) as clock supply origin, and has distributed the clock signal from this slot to other clocks. The composition which supplies the output from the one differential input amplifier 46 to each slot via the differential output amplifier 47 for the number of other slots, Since noise resistance is strong and is 1 to 1 supply compared with the composition which connects one clock feed lines to each slot, and supplies a clock signal one by one because of a differential signal, There is not only an advantage that there is little influence of a noise and there is very little dispersion in the phase of the clock signal which can secure sufficient supply current and is received by each slot, but, Since a clock driver circuit is on a bus substrate and a signal pin has any slot in the same position, there are a side received [that outputs a clock signal and] and an advantage that he does not need to be conscious of 1 to 1 supply.

[0034]In order to control the real time processing of a video signal which was mentioned above, or an audio signal synchronizing with such a reference clock, local CPU and the local CPU bus 14 of the local CPU circuit board 15 are formed.

[0035]By the way, since there is restriction of a fan-out in providing an expansion slot in a system bath, to increase a slot number via a bridge is needed. The number of fan-outs of one bridge is 4, for example, and four bridge ICs are needed for providing 14 expansion slots like this embodiment.

[0036]Drawing 8 shows the extension structure of the expansion slot of the system bath which used such a bridge. In this drawing 8, about the system bath 2 of the bus substrate 31 by the side of the above-mentioned information processor 1. They are

provided in the system bath 2a to which the chip set of the CPU3 grade was connected by three expansion slots (it corresponds to the connector 33), and this system bath 2a, It is connected to system bath 2b via the bridged circuit 61, and the connector 36a for four expansion slots (connector 33) and system bath extension is formed in this system bath 2b. Insertion mounting of the bus extension board 6a is carried out, and the above-mentioned system bath 2b is connected to the connector 36a in the bridged circuit 62 on the bus extension board 6a, The above-mentioned bridged circuit 62 is connected to the bridged circuit 63 on the bus substrate 41 by insertion connecting being carried out to the connector 36b of the bus substrate 41 by the side of the above-mentioned extended processing unit 10 via the cable splicing section 6b and the flat cable 6c. The four bridged circuits 64a, 64b, 64c, and 64d are connected to this bridged circuit 63, respectively, and the extended system baths 12a, 12b, 12c, and 12d are connected to each bridged circuits 64a, 64b, 64c, and 64d in it, respectively.

[0037]So that DMA (Direct Memory Access) transmission may be performed within the system bath connected to the same bridged circuit in the embodiment of this drawing 8, He is trying to equip the expansion slot of the group belonging to the same bridged circuit with the circuit board for which a DMA transfer is needed. This DMA transfer Namely, the encoding decoding circuit of a digital signal, From being carried out between the interface circuits of the storage medium of this digital signal in many cases, to the connector 43 of the system bath 12a connected to the bridged circuit 64a. Insertion mounting of CODEC circuit board 21 for coding/decoding of a video signal and the interface circuit board 22 for video record is carried out, To the connector 43 of the system bath 12c which made perform a DMA transfer among these substrates 21 and 22, and was connected to the bridged circuit 64c. Insertion mounting of the circuit board 26 for signal processing, such as coding/decoding of an audio signal, and the interface circuit board 27 for audio record is carried out, and the DMA transfer is made to perform among these substrates 26 and 27.

[0038]Thus, since it is not necessary to go via a bridged circuit in the case of a DMA transfer by making a DMA transfer perform within the system bath connected to the same bridged circuit, the delay (for example, 270 ns) by going via a bridged circuit does not arise, but efficient data transfer can be performed at high speed.

[0039]By connecting directly each bridged circuits 64a-64d to the bridged circuit 63 like the embodiment of drawing 8, respectively so that the bridged circuits 64a-64d may become in parallel mutually, Compared with composition which connects the bridged circuits 64a-64d one by one in series, the time delay by going via a bridged

circuit can be shortened.

[0040]From the system bath 2a to which the chip set of the CPU3 grade on the bus substrate 31 of the above-mentioned information processor 1 was connected. The time delay of a before [the system baths 12a-12d to which each bridged circuits 64a-64d were connected, respectively], When it is equivalent to four bridged circuits and the time delay of one bridged circuit is 270 ns, it is a time delay for 1080 ns (latency: Latency) at four pieces. It becomes.

[0041]By the way, as mentioned above, in order to check whether insertion mounting of the group of the circuit board by which a DMA transfer is performed in the expansion slot group connected to the same bridged circuit has been carried out, each identification information about an expansion slot and the circuit board is made to be obtained.

[0042]Namely, as shown in drawing 9, for every slot of the bus substrates 41 and 42 by the side of the above-mentioned extended processing unit 10. The board ID circuit 67 which the slot ID circuit 66 which gives peculiar identification information (meaning) to other slots and the distinguishable slot concerned is formed, and outputs identification information peculiar to the board to the expansion circuit board (add-in board) 54 is formed.

[0043]In the example of drawing 9, it is provided on the bus substrate 42, and is connected to the predetermined pin of the connector 45, and the slot ID circuit 66 is read via the connector 45a of the add-in board (circuit board) 54 by the discrimination decision circuit (not shown) on the add-in board 54. It may be made to connect with the connector 44, and this slot ID circuit 66 forms the slot ID circuit 66 on the bus substrate 41, and it may be made to connect it to the connector 43. The slot ID circuit 66 connects resistance to the terminal pin of a connector, for example, 0 and 1 are expressed with grounding the other end of this resistance or giving prescribed potential, What is necessary is to provide four, and for the thing which correspond to four bits for 14 slot discernment by a part for the number of bits required for slot discernment, for example, this embodiment, and to constitute to be able to perform such resistance, and just to change the value of 4 bits of the slot ID circuit 66 for every slot. What is necessary is just to make it identify with software using CPU on the add-in board 54, etc., although the discrimination decision circuit (not shown) of a slot ID may be constituted from hardware.

[0044]It is connected to the connector 43a by the side of an add-in board, and the board ID circuit 67 on the add-in board 54 is connected to the system bath 10 extended [above-mentioned] by insertion mounting of this connector 43a being

carried out at the connector 43 of the bus substrate 41. The board identity information sent to this system bath 10 is read by the CPU3 grade of the information processor 1 of above-mentioned drawing 1, and discernment of the add-in board with which it was equipped is performed. As the board ID circuit 67, ROM etc. are used, for example. As the board ID circuit 67 is connected to the connector 44a and the connector 45a, local CPU15 grade may be made to perform a board identity by the circuit by the side of the growth equipment 10 of above-mentioned drawing 1, for example.

[0045]As mentioned above, the information on the slot ID identified by the discrimination decision circuit (not shown) on the add-in board 54, By sending to CPU3 or local CPU15 grade via the system bath 10 and local CPU bus 14 grade of above-mentioned drawing 1, and combining with the discriminated result of the above-mentioned add-in board, It can be distinguished whether insertion mounting of the group of the circuit board by which a DMA transfer is performed in the expansion slot group connected to the same bridged circuit mentioned above was carried out.

[0046]Next, the control method of a power supply is explained. As shown in above-mentioned drawing 1 or drawing 3, the digital signal processing device of this embodiment comprises the two units 1, i.e., an information processor, and the extended processing unit 10, and these are combined mechanically and electrically. If circuit structure becomes large, usually a power supply circuit is established in each devices 1 and 10, respectively, but it is necessary to keep an order of power supply starting among these devices 1 and 10 in many cases in the case of powering on. For this reason, he is trying to send a control signal to the electric power unit of another side from one electric power unit in this embodiment.

[0047]That is, drawing 10 shows the composition in which the electric power unit 72 only for an extended processing unit was formed also in the extended processing unit 10 side independently [the electric power unit 71 by the side of the information processor 1]. In this drawing 10, it is needed for the electric power unit 71 by the side of the information processor 1 to rise earlier than the electric power unit 7 by the side of the extended treating part device 10. Then, the power turn OFF signal from the electric power switch 73, The power source control signal which is told to the power supply 71 and outputted from the electric power unit 71, Via the bus substrate 41 of the system bath extended via the bus substrate 31 via the bus connection part 6 (the bus extension board 6a, the cable splicing section 6b, the flat cable 6c) and the connector 36b from the connector 36a, It is inputted into the electric power unit 72 for extended processing units, and turning on and off of this electric power unit 72 is

controlled.

[0048]Thus, by controlling the electric power unit 72 by the side of the extended processing unit 10 by the electric power unit 71 of the information processor 1, an order of a system reset, etc. are kept, and after the electric power unit 71 rises, control that the electric power unit 72 rises is performed.

[0049]This invention is good also as a structure which is not limited to the embodiment mentioned above, unified the information processor and the extended processing unit, for example, and was stored in one case. Of course, neither the concrete composition of a DAV bus nor the structure of a bus substrate is limited to the example of a graphic display.

[0050]

[Effect of the Invention]The information processing section which according to this invention a calculating means is connected to a system bath and changes, Have an extended treating part which has two or more expansion slots provided in the system bath which is connected to the above-mentioned system bath of the above-mentioned information processing section, and extends this system bath, and the above-mentioned extended treating part, The signal dedicated bus provided as a bus only for a video voice signal to the system bath extended [above-mentioned], By having a local control bus which transmits the control signal of the local control means for controlling the operation of an expansion circuit board by which insertion mounting is carried out, and this local control means to two or more above-mentioned expansion slots, The channel number and the signal number for control for video voice data can be made to be able to increase, the number of expansion slots can be made to increase, and processing of the editing work of a video voice signal, etc. can carry out in real time, and can control this real time processing by a local control means.

[0051]Since the system bath, signal dedicated bus, and local CPU bus which were extended are formed in parallel, insertion mounting of an expansion circuit board -- certain -- and the reliability of connection -- it being able to carry out highly and, Since the bus substrate of a system bath and the bus substrate of the signal dedicated bus were set aside, the level difference was given and the part is arranged in piles, it can absorb that the installation levels of the connector of an expansion circuit board differ, and the usable area of a bus substrate can be increased.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a block diagram showing the outline composition of the digital signal processing device used as an embodiment of the invention.

[Drawing 2]It is a figure showing the DAV bus and local CPU bus in an extended processing unit.

[Drawing 3]It is a figure showing the geometry of the information processor of a digital signal processing device and extended processing unit used as an embodiment of the invention.

[Drawing 4]It is a figure showing the geometry of the information processor of a digital signal processing device and extended processing unit used as an embodiment of the invention.

[Drawing 5]It is a figure showing other examples of the geometry of the information processor of a digital signal processing device and extended processing unit used as an embodiment of the invention.

[Drawing 6]It is a figure showing the example of an expansion circuit board (add-in board).

[Drawing 7]It is a figure for explaining the example of clock supply.

[Drawing 8]It is a figure showing the composition which connects a system bath via a bridge.

[Drawing 9]It is a figure for explaining board ID and a slot ID.

[Drawing 10]It is a figure for explaining the on-off control of a power supply.

[Description of Notations]

1 An information processor and 2 A system bath, 3 CPU, 6 bus connection parts, 10 An extended processing unit and 12 The extended system bath and 13 DAV buses, 14 A local CPU bus, 15 local CPU circuit board, and 21 CODEC circuit boards, 22 A video record interface circuit board and 23 disk units, 24 The special-effects circuit board, 26 audio-signal processing circuit board, and 27 Audio record interface circuit board, 31, 41, 42 bus substrates, and 33, 36a, 36b, 43 and 44 Connector, 46 Differential input amplifier and 47 Differential output amplifier, 61, 62 and 63, a 64a–64d bridged circuit, 66 slot ID circuits, and 67 A board ID circuit, 71, 72 electric power units, and 73 electric power switches